

PAT-NO: JP409153009A

DOCUMENT-IDENTIFIER: JP 09153009 A

TITLE: ARBITRATION METHOD FOR HIERARCHICAL CONSTITUTION BUS

PUBN-DATE: June 10, 1997

INVENTOR-INFORMATION:

NAME

HATTORI, RYUICHI

SEKI, YUKIHIRO

SAKUTA, YUICHIRO

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP07313899

APPL-DATE: December 1, 1995

INT-CL (IPC): G06F013/362, G06F013/36

ABSTRACT:

PROBLEM TO BE SOLVED: To make it possible to give a device on a bus of low order the same right to use a bus of high order as a device on the bus of high order by providing the arbitration means of the bus of high order a means which sets connection information on the bus of low order and information regarding the priority of arbitration.

SOLUTION: A system which has a secondary PCI bus connected to a primary PCI bus 111 through a PCI bus bridge is provided with registers 201 and 202 for determining whether or not the secondary PCI bus is connected and the priority of arbitration of a device on the secondary PCI bus in an arbitrator 103 which arbitrates the primary PCI bus 111. Then an arbitration circuit 205 performs arbitration according to the set priority by referring to the contents of the control registers 201 and priority register 202 when there is a request for the right to use the PIC bus 111 from the device on the primary or secondary PCI bus.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-153009

(43) 公開日 平成9年(1997)6月10日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/362	5 1 0		G 0 6 F 13/362	5 1 0 G
13/36	3 1 0		13/36	3 1 0 E

審査請求 未請求 請求項の数 6 O L (全 17 頁)

(21) 出願番号 特願平7-313899

(22) 出願日 平成7年(1995)12月1日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 服部 隆一

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所情報・通信開発本部内

(72) 発明者 関 行宏

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所情報・通信開発本部内

(72) 発明者 作田 雄一郎

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所情報・通信開発本部内

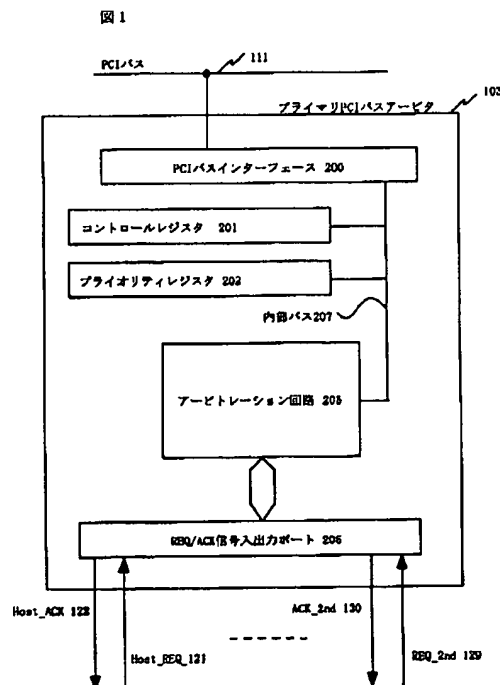
(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 階層構成バスのアービトレーション方法

(57) 【要約】

【課題】階層構造を持つI/Oバスシステムで、最適なアービトレーション方法を提供する

【解決手段】プライマリバス側のアービトレートを行う手段に、セカンダリ側バスに装着されたI/Oデバイスに関するアービトレーション優先順位の情報を設定できるようにし、設定情報にもとづいてアービトレーション方法を変更することによりセカンダリバス上のデバイスにプライマリバスの使用权を十分与える。



## 【特許請求の範囲】

【請求項1】第一のバスと、第二のバスと、前記第一のバスから前記第二のバスへ階層的にバスを接続するバスブリッジを含む階層バスシステムにおいて、

前記第一のバスに接続する複数のデバイスが送出する前記第一のバスの使用権要求と、前記ブリッジが送出する第一のバスの使用権要求とをアービトレートし、前記第一のバスの使用権を前記複数のデバイスまたは前記ブリッジのうちのいずれか一つに与えるバスアクセス権のアービトレートを行うアービタであって、

前記アービタは、前記ブリッジを介して前記第二のバスに接続されたデバイスが送出する前記第一のバスの使用権要求のアービトレーション優先順位を設定する手段を有し、前記アービタは、前記アービトレーション優先順位を設定する手段に設定された情報にもとづいて、前記第一のバスに接続する複数のデバイスと前記ブリッジからのバス使用権要求を調停するバス権アービトレーション動作のアルゴリズムを変更可能であることを特徴とする階層構成バスのアービトレーション方法。

【請求項2】請求項1において、前記アービトレーション優先順位を設定する手段には、前記第二のバスに接続する少なくとも一つのデバイスと、前記第一のバスに接続する少なくとも一つのデバイス間のバス権アービトレーション優先順位に関する情報を格納する階層構成バスのアービトレーション方法。

【請求項3】請求項1において、前記バス権アービトレーション優先順位を設定する手段は、前記第一のバスに接続するバスデバイスと、前記第二のバスに接続するバスデバイスとにバス権を与える回数頻度の比率に関する情報を格納する階層構成バスのアービトレーション方法。

【請求項4】請求項1において、前記アービトレーション優先順位を設定する手段で、前記第一のバス及び第二のバスに装着されたデバイスが有する固有の構成情報にもとづいて、設定する階層構成バスのアービトレーション方法。

【請求項5】請求項1において、前記第一のバス及び第二のバスは、バスの物理仕様及び論理仕様、バス転送プロトコルが同一であるバスである階層構成バスのアービトレーション方法。

【請求項6】少なくとも第一のバスと、第二のバスと、前記第一のバスから前記第二のバスへ階層的にバスを接続するバスブリッジを含む階層バスシステムにおいて、

前記第一のバスに接続する複数のデバイスが送出する前記第一のバスの使用権要求と、前記ブリッジが送出する第一のバスの使用権要求とをアービトレートし、前記第一のバスの使用権を前記複数のデバイスまたは前記ブリッジのうちのいずれか一つに与えるバスアクセス権のアービトレートを行うアービタであって、

前記アービタは、前記ブリッジを介して前記第二のバスにデバイスが接続されているか否かを設定する手段を有し、前記アービタは、前記設定手段に設定された情報にもとづいて前記第二のバスにデバイスが接続されている場合には、前記第一のバスのバス使用権アービトレーション動作のアルゴリズムを変更する階層構成バスのアービトレーション方法。

## 【発明の詳細な説明】

## 【0001】

10 【発明の属する技術分野】本発明はパーソナルコンピュータ、ワークステーション等の小型情報処理装置に好適な、バスアービトレーション方法に関する。

## 【0002】

【従来の技術】一般に、パーソナルコンピュータのI/Oバスは、データ転送速度の速いCPUバス、ホストバスあるいはシステムバスから、バスブリッジを介して高速I/Oバス、さらにバスブリッジを介して中速I/Oバス、低速I/Oバスへと階層的に接続されている。しかし、近年、高速I/Oバスのスロット数の拡張等のため高速I/Oバスにバスブリッジを介し、同じデータ転送速度・バスプロトコルを有するI/Oバスを接続する構成の方法が登場してきた。この方法の場合、バスブリッジを介して接続する下位側のI/Oバスは、上位側I/Oバスと同じバスプロトコルを有するため、見かけ上は上位側I/Oバスが拡張されたように見える。

【0003】このように、バスブリッジを介することで、同じプロトコルを有するI/Oバスを拡張できるものは、米国の業界団体であるPCI Special Interest Groupで仕様策定および公開されている、PCIローカルバス（以下、PCIバスと省略する）が知られている。

30 【0004】図3にプライマリPCIバス及びセカンダリPCIバスをPCI to PCIバスブリッジを介して接続したPCIバスを有する従来のシステムのブロック図を示す。プライマリPCIバス111は、ホストバス/PCIバスブリッジ102を介して、ホストバス101に接続している。プライマリPCIバス111には、複数のPCIデバイスが接続されており、各PCIデバイスはPCIバスのバス使用権を獲得するためのアービトレーション信号を有しており、それぞれプライマリPCIバスアービタ103に接続している。

40 【0005】例えば、PCIデバイス104はプライマリPCIバス111のバス使用権（以下バス権と省略する）を取得するために、リクエスト信号であるREQ\_1a123を出力する。プライマリPCIバスアービタ103は、各PCIデバイスから送出されるバス権要求信号のアービトレートを行った後、バス使用許可信号であるACK\_1a124を出力することで、PCIデバイス104にプライマリPCIバス111の使用を許可する。他のPCIデバイスも同様にリクエスト信号/バス使用許可信号のハンドシェークを行うため、PCIバスではデバイス毎及びスロット毎にハンドシェークに必要な信号が定義され、またバス権をアービトレーション

するアービタが各PCIバス毎に存在する。

【0006】図3において、PCIスロット107、PCIスロット108は、バス権アービトレーションハンドシェークの信号として、それぞれREQ\_1b125, ACK\_1b126、およびREQ\_1c127, ACK\_1c128をプライマリPCIバスアービタ103との間に接続している。さらに、ホストバス101側からプライマリPCIバス111のバス権を要求するための信号、Host\_REQ121, Host\_ACK122が、ホストバス/PCIバスブリッジ102に接続されている。ここで、セカンダリPCIバス112は、セカンダリPCIバスブリッジ105を介して、プライマリPCIバス111に接続している。セカンダリPCIバスブリッジ105は、プライマリPCIバス111のバス信号を電氣的にバッファリングし、プライマリPCIバス111と同じバスプロトコルをバッファリングする機能を持つ。セカンダリPCIバス112上の各PCIデバイスのバス権要求信号は、セカンダリPCIバスブリッジ105に入力され、セカンダリPCIバスブリッジ105が、セカンダリPCIバス内のバス権アービトレートを行い、さらに、プライマリPCIバス111のバス権を要求する場合には、バス権リクエスト信号REQ\_2nd129と、バス使用許可信号であるACK\_2nd130とで、プライマリPCIバスアービタ103とバス権アービトレーションのハンドシェークを行う。

【0007】次に、図7に図3に示すプライマリPCIバスアービタ103の従来の動作例を示す。PCIバスを使用するマスタがない場合には、PCIバスアービタ103はバスアイドル状態170にあり、ここで各PCIデバイスが同時にバス権を要求した場合、プライマリPCIバスアービタ103は、プライマリPCIバス上のデバイスにバス権を与えるため、バス使用許可信号の一つACK\_1aを出力する(171)。さらに、PCIバスアービタは、プライマリPCIバス上のデバイスに順番にバス権を与え(172, 173, 174)、セカンダリPCIバスブリッジ105を含めて全てのPCIデバイスにバス権が行き渡ると、一巡して再びプライマリPCIデバイスへバス権を与える。

【0008】このように、プライマリPCIバスアービタ103は、セカンダリPCIバスブリッジ105がプライマリPCIバスに111接続されている場合には、これをプライマリPCIバス111上のPCIデバイスの一つであるとみなし、バスアービトレートを行う。

【0009】また、すべてのPCIデバイスはPCIコンフィギュレーション空間と呼ぶ、デバイスの属性等の情報を記述するためのI/O領域を有しており、このPCIコンフィギュレーション空間に記載された情報を取得することで、そのデバイスに関する一定の情報を取得することが可能である。

【0010】述べてきた、PCIバスのプロトコルや電氣的仕様及び、具体的なバスアービトレーション方法等については、米国ADDISON-WESLEY PUBLISHING COMPANY発行の「PCI SYSTEM ARCHITECTURE THIRD EDITION」(1995年2月発行)に記載されている。以下にそれぞれの技

術についての記載ページを示す。

【0011】・PCIバスの仕様 39ページから76ページまで。

【0012】・PCIバスのアービトレーション 77ページから112ページまで。

【0013】・PCIバスのコンフィギュレーション空間 327ページから356ページまで。

【0014】・PCI to PCIブリッジの構成 375ページから452ページまで。

【0015】PCIバスについてのより詳細な仕様については、米国PCI Special Interest Groupから発行されている、「PCI Local Bus Specification Revision2.0」(1993年4月30日発行)に記載されている。

【0016】

【発明が解決しようとする課題】従来技術では、以下に述べるような問題点があった。

【0017】すなわち、図3に示す従来例では、セカンダリPCIバス112に接続された各PCIデバイスのバス権要求信号は、一旦セカンダリPCIバスブリッジ105がセカンダリPCIバス112内でのバス権アービトレートを行う。その結果、セカンダリPCIバス112のバス権を得たデバイスがさらにプライマリPCIバス111のバス使用権を要求する場合には、セカンダリPCIバスブリッジ105が、バス権要求信号REQ\_2nd129をプライマリPCIバスアービタ103へ出力し、プライマリPCIバスアービタ103がバス権使用許可信号ACK\_2nd130を出力しバス使用権が与えられるのを待つ必要がある。

【0018】ここで、プライマリPCIバスアービタ103が、プライマリPCIバス111のバス権を要求するデバイスに対し、平等にアービトレートを行う場合には、セカンダリPCIバス112上のPCIデバイスは、プライマリPCIバス111上のPCIデバイスに比べ、プライマリPCIバス111のバス権を得る機会が著しく低くなる。

【0019】例えば、プライマリPCIバス111上に三つのPCIデバイスがあり、さらにセカンダリPCIバス112上にも三つのPCIデバイスがあり、それぞれのデバイスがホストバス/PCIバスブリッジへのアクセス要求を出力した場合を想定する。プライマリPCIバス111上のPCIデバイスは、バス権要求信号が直接プライマリPCIバスアービタ103に入力しているのに対し、セカンダリPCIバス上のPCIデバイスは、セカンダリPCIバスブリッジ105を介してプライマリPCIバスアービタ103へバス権を要求する。このため、プライマリPCIバス111上の三つのPCIデバイスがバス権を1回ずつ獲得した場合、セカンダリPCIバスブリッジ105もバス権を1回獲得できる。従って、プライマリPCIバス111上のPCIデバイスが3回バス権を獲得する間に、セカンダリPCIバス112上のPCIデバイスは、さらにセカンダリPCIバス112内でのバス権アービトレーションが必要なため1回しかバス権を獲得できない。

【0020】このようにセカンダリPCIバスブリッジを介して、下位側のセカンダリPCIバス112上に接続されたPCIデバイスは、プライマリPCIバス111へのアクセス権を取得する機会が著しく低いため、PCIデバイスの種類によっては正常な動作を行えなくなる場合が発生する。

【0021】例えば、LANカードを含むPCIデバイスをセカンダリPCIバスに複数個接続し、さらにプライマリPCIバス111に他のPCIデバイスを搭載した場合には、以下のような問題が発生する。セカンダリPCIバス112上のLANカードがバス権を得る確率が低いため、バス権をとってデータ転送を行う動作間の時間間隔が、同じLANカードをプライマリPCIバス111上に装着した場合に比べて、数倍にもなる。このため、このLANカードが、通信データを一時的に保管するためのバッファをカード上に十分な大きさだけ持っていない場合には、バス使用権を得るまでの待ち時間の間にバッファの内容がオーバフローするなどして、通信データが失われるなどの不具合が発生する可能性がある。

【0022】このように、バスブリッジを介して下位側に拡張されたI/Oバスに上位側のI/Oバスの使用権を要求するデバイスを実装した場合、上位側のバス権を獲得する機会が、上位側バスに装着されたデバイスに比べて著しく低くなるという問題がある。

【0023】本発明の目的は、バスブリッジを介して拡張された階層構造を有するI/Oバスシステムで、下位側に拡張されたI/Oバス上のデバイスに対しても、上位側I/Oバスに装着されたデバイスと同等の上位側I/Oバスの使用権を与えるための、改善されたアービトレーション方法を提供することにある。

【0024】本発明の他の目的は、PCIバスをブリッジを介して複数を階層的に構成するシステムで、上位PCIバスと下位PCIバスに接続されたPCIデバイスの機能に応じて、それぞれのデバイスに適したタイミングで下位側および上位側I/Oバスのバス使用権を与えることのできるアービトレーション方法を提供することにある。

【0025】本発明のさらに他の目的は、バスブリッジを介して接続されたプライマリ及びセカンダリPCIバスを有するシステムで、セカンダリPCIバス上のPCIデバイスに対し、最適なバスアービトレートを行うことのできる、PCIバスアービトレーション方法ならびにアービトレーション手段を提供することにある。

【0026】

【課題を解決するための手段】本発明は目的を達成するために、上位側バスのバス権アービトレートを行うアービトレーション手段に、下位側バスの接続情報およびアービトレーションにおける優先順位に関する情報を設定するための手段を設けた。さらに、アービトレーション手段が上位側バスのアービトレートを行う場合には、下位側バスの接続の有無の情報、および下位側バスに接続されたデバイスのアービトレーション順位に関する設定

情報にもとづいて、バス権のアービトレートを行うようにした。

【0027】具体的には、プライマリPCIバスと、PCIバスブリッジを介して接続するセカンダリPCIバスを有するシステムで、プライマリPCIバスのアービトレートを行うアービタの内部に、セカンダリPCIバスの接続の有無と、セカンダリPCIバス上のデバイスのアービトレーションにおける優先度を設定するためのレジスタを設けた。また、プライマリPCIバスのアービタ内部のアービトレーション回路は、バス権のアービトレートを行う際に、優先度を設定するためのレジスタの設定値を参照し、プライマリPCIバス上のデバイスとセカンダリPCIバス上のデバイスにバス権を与える比率を変えるようにした。

【0028】さらに、PCIデバイスが有するPCIコンフィギュレーション空間に記載されたコンフィギュレーション情報を読みとり、PCIバスのアービタに設けたアービトレーションの優先度を設定するためのレジスタを設定するようにした。

【0029】

【発明の実施の形態】図1に本発明の第一の実施例におけるPCIバスアービタの説明図を示す。

【0030】図1で、プライマリPCIバスアービタ103は、PCIバスインターフェース200によってプライマリPCIバス111と接続している。また、内部のコントロールレジスタ201、プライオリティレジスタ202およびアービトレーション回路205は、内部バス207を介して相互に接続されており、二つのレジスタに値を設定する場合には、PCIバスインターフェース200を介してPCIバス111から設定する。PCIバスのI/O空間にレジスタをマップする仕様については、PCIバス仕様書「PCI Local Bus Specification Revision 2.0」(PCI Special Interest Group 刊 1993年4月30日発行)等に記載されているため、ここでは省略する。

【0031】アービトレーション回路205は、PCIバスからのバス権ハンドシェイク信号を入出力するためのREQ/ACK信号入出力ポート206を介して、ホストバスブリッジからのバス権要求信号Host\_REQ121、バス仕様許可信号Host\_ACK122、下位側のセカンダリPCIバスからのバス権要求信号REQ\_2nd129、バス使用許可信号ACK\_2nd130等の信号の入出力を行う。また、プライマリPCIアービタ103と、プライマリPCIバス、セカンダリPCIバス上のデバイスとの接続については、従来例で説明した図3に示すPCIアービタの接続図と同一であるのでここでは説明を省略する。

【0032】図1で、アービトレーション回路205は、図3におけるプライマリPCIバス111またはセカンダリPCIバス112上のPCIデバイスから、REQ/ACK信号入出力ポート206を通じてPCIバス111のバス権要求があった場合には、コントロールレジスタ201、プライオリティレジス

タ202の内容を参照して、二つのレジスタに設定されたアービトレーション優先順位に従ってアービトレートを行う。

【0033】図2に更に、プライマリPCIアービタ103の内部の二つのレジスタの詳細を示す。

【0034】図2(a)にコントロールレジスタ201のビット構成を示す。

【0035】・ビット0：Host\_REQプライオリティ制御（0＝固定、1＝ローテーション）

本ビットは、図3におけるホストバス101側からプライマリPCIバスのバス権を要求するための信号のプライオリティを制御するビットであり、固定プライオリティとローテーションとが設定可能である。

【0036】固定プライオリティに設定した場合には、プライオリティレジスタ202に設定される優先順位を絶対優先順位として設定し、アービトレートを行う。一方、ローテーションに設定した場合には、同じくプライオリティレジスタ202に設定される各バス権要求信号の優先順位設定にもとづいて、ローテーション順序を決定しアービトレートを行う。

【0037】・ビット1：REQ\_1\*プライオリティ制御（0＝固定、1＝ローテーション）

本ビットは、プライマリPCIバス111上の各PCIデバイスからのバス権ハンドシェイク信号に対するアービトレーションプライオリティ（固定プライオリティ／ローテーション）を一括して決定するビットである。他の部分は、ビット0に同じであるので省略する。

【0038】・ビット2：PCIバス階層構成（0＝セカンダリPCIバス有り、1＝なし）

本ビットは、セカンダリPCIバス112の有無、あるいはセカンダリPCIバスブリッジ105のディスエーブルによるセカンダリPCIバス112の無効化等の情報を設定する。本ビットが2にセットされた場合にはビット3で設定されるアービトレーション比率の情報は無効となる。

【0039】・ビット3、4：アービトレーション比率（プライマリバス：セカンダリバス）

本ビットは、アービトレーション回路205が、各PCIデバイスからのバス要求を調停する際、プライマリPCIバス111上のPCIデバイスと、セカンダリPCIバス112上のPCIデバイスに対し、プライマリPCIバスのバス権を与える比率を設定する。本ビットの設定値に従って、アービトレーション回路205は、セカンダリPCIバス112上のPCIデバイスにバス権取得の機会が適度に与えられるようにアービトレートを行う。

【0040】・ビット5、6、7は未使用のリザーブビットである。

【0041】次に(b)プライオリティレジスタ202のビット構成を説明する。

【0042】・ビット0：ホストプライオリティ（0＝Host\_REQ > REQ\_1\*, 1＝REQ\_1\* > Host\_REQ）

本ビットは、ホストバス101側からのバス権要求とプライマリPCIバス上のPCIデバイスとの間の調停優先順序を設定する。本ビットの設定は、コントロールレジスタ201のビット0、1との組み合わせで、アービトレーション回路205のアービトレーション方法を決定する。

【0043】・ビット1、2：プライオリティ設定  
本レジスタは、図3におけるプライマリPCIバス111上のデバイス、PCIデバイス104、PCIスロット107、PCIスロット108の間の調停優先順位を決定するビットである。

【0044】本ビットの設定値も、コントロールレジスタ201のビット0、1の設定値との組み合わせで、アービトレーション回路205のアービトレーション方法を決定する。

【0045】・ビット3、4、5、6、7：未使用のリザーブビットである。

【0046】プライマリPCIバス上のデバイスは、ホストバス／PCIバスブリッジ102とセカンダリPCIバスブリッジ105を除いて3デバイスの例を説明したが、PCIデバイスの接続数を増やす場合には、本リザーブビットを使用して、二つのバスブリッジを除いたPCIデバイスの調停優先順位を設定できるようにする。

【0047】続いて、図4を用いて、第一の実施例のPCIバスアービタの第一の動作例を説明する。図2に示したコントロールレジスタ201に03hを設定し、プライオリティレジスタ202に00hを設定すると、全てのバス権要求信号をローテーション（Host\_REQ > REQ\_1a > REQ\_1b > REQ\_1c）で調停し、さらにプライマリPCIバス111上のPCIデバイスとセカンダリPCIバス112上のデバイスに1：1の比率でバス権を与えるようにアービトレーション回路205は動作する。

【0048】すなわち、図4でアービトレーション回路205がバスアイドル状態(147)であった時、図3における全てのバス権要求信号が出力された場合を説明する。アービトレーション回路205は、コントロールレジスタ201と、プライオリティレジスタ202の設定値にもとづいて、まずホストバス／PCIバスブリッジ102へバス権を与える(140)。その後、プライマリPCIバス111上のデバイスへバス権を与えるためACK\_1aを出力する(141)。さらに、セカンダリPCIバス112上のデバイスへバス権を与えるため、ACK\_1aの出力停止した後、ACK\_2nd信号を出力する。このようにして、プライマリPCIバス上のデバイスとセカンダリPCIバス上のPCIデバイスに交互にバス権を与えながら(143,144,145,146)、全部のPCIデバイスにバス権を与えると、一巡してホストバス／PCIバスブリッジへと再びバス権を与える。

【0049】現在、バスを使用しているデバイスから次にバス権を与えるデバイスへのバス使用許可信号の、出力停止及び出力のタイミングについては、アービトレーション回路205がタイマー等を使って任意のタイミングで行ってもよいし、現在バスを使用しているデバイス

が、バス権要求信号の出力を停止した時点で、切り換えてもよい。

【0050】このように、セカンダリPCIバス側とプライマリPCIバス側に交互にバス使用許可を与えることにより、セカンダリPCIバスブリッジの下位側に装着されたPCIデバイスに対しても、プライマリPCIバス上のPCIデバイスと同じ頻度でプライマリバス使用権を与えることができる。この際、セカンダリPCIバス112では、セカンダリPCIバスブリッジ105が、セカンダリPCIバス112上のデバイスに対し、同じくローテーションでバス権を与えるようにすればよい。

【0051】続いて、図6に第一の実施例のPCIバスアービタの他の動作例を示す。

【0052】図4を用いて説明した、PCIバスアービタの二つのレジスタ設定で、コントロールレジスタ201のビット3、4を01に変更してセットし、バス権の調停比率をプライマリPCIバス上のPCIデバイス2回に対し、セカンダリPCIバス上のPCIデバイス1回となるように設定した場合を説明する。

【0053】図6で、プライマリPCIバスアービタ103がバスアイドル状態(170)であるときに、全てのPCIデバイスからバス権要求が発生した場合について説明する。プライマリPCIバスアービタ103は、コントロールレジスタ201およびプライオリティレジスタ202の設定に従って、まずホストバス/PCIバスブリッジへバス権を与えるため、Host\_ACK信号を出力する(161)。その後、プライマリPCIバス111上のデバイスに連続して2回バス権を与えた後(161, 162)、セカンダリPCIバス112上のPCIデバイスへバス権を与えるためACK\_2nd信号を出力する(163)。

【0054】引き続き、プライマリPCIバス上のデバイス2回(164, 165および167, 168)に対し、セカンダリPCIバス上のデバイス1回(166, 169)の割合で、間にホストバス/PCIバスブリッジへバス権を与えながら、一巡してバスアイドル(170)またはホストバス/PCIバスブリッジへのバス権(161)へと戻る。

【0055】プライマリPCIバス上のデバイス2回に対し、セカンダリPCIバス上のデバイス1回の割合で、バス権をアービトレーションする。ところで、PCIデバイスが有しているPCIコンフィギュレーション空間のコンフィギュレーション情報を取得し、その情報にもとづいて、コントロールレジスタ201、およびプライオリティレジスタ202を設定することにより、プライマリ/セカンダリPCIバスに装着したPCIデバイスの機能に応じて、最適なアービトレーション方法を提供することが可能になる。

【0056】例えば、プライマリPCIバス上にPCI-LANカードを複数枚装着し、セカンダリPCIバス上には、PCI-SCSIカードを装着した場合、一般にはLANカードの方が、バス権取得までの待ち時間が短い方が望ましいため、プ

ライマリPCIバス上のPCIデバイスに優先的にバス権を与えるようにコントロールレジスタ201およびプライオリティレジスタ202を設定することで、システム構成に最適なPCIバスアービトレーション方法を提供することが可能である。

【0057】このような、PCIコンフィギュレーション空間からのデバイス情報の読み出しは、PCIバスをサポートしているBIOSによって行ってもよいし、システムのユーザがツールプログラムを使用して任意のタイミングで行っても良い。

【0058】以上のように、第一の実施例のアービトレーション方法について、図を用いて説明したが、プライマリPCIバス、セカンダリPCIバスそれぞれにPCIデバイスが、最大個実装されていない場合の動作については、図での説明を省略するが、PCIデバイスが装着されていないバス権要求信号は、決して出力されることがない。従って、プライマリPCIバスおよびセカンダリPCIバスで、PCIデバイスが装着されていない場合には、図4及び図6に示したアービトレーション動作で、該当するアービトレーションはスキップされ、次のPCIデバイスへとバス権が渡される。

【0059】また、以上説明してきたのは、すべてローテーション方法でバス権アービトレートを行った場合についてである。固定優先順位に設定した場合には、プライオリティレジスタに設定された優先順位を絶対順位として、常に上位の要求順位を持つPCIデバイスが優先的にバス権を取得することができる。

【0060】次に、図5に本発明の第二の実施例のPCIバスアービタの接続図を示す。

【0061】図5に示す第二の実施例では、プライマリPCIバス111およびセカンダリPCIバス112に共通するPCIアービタ151を設けて、全てのPCIデバイスからのバス権要求を一括して調停するようにした。

【0062】図9、図10に、第二の実施例のPCIバスアービタ151のレジスタ構成を示す。

【0063】図9に示すように、PCIバスアービタ151は、図1に示す第一の実施例に比べプライオリティレジスタをプライマリーバス、セカンダリーバスに分け、それぞれプライマリPCIプライオリティレジスタ203、セカンダリPCIプライオリティレジスタ204を設けた。

【0064】図10に各レジスタのビット構成を説明する。

【0065】図10の(a)コントロールレジスタ、および(b)プライマリPCIプライオリティレジスタは、それぞれ第一の実施例における、コントロールレジスタ201、プライオリティレジスタ202と同一のビット構成を有するので、ここでは説明を省略する。

【0066】図10の(c)セカンダリプライオリティレジスタは、図5に示す第二の実施例のセカンダリPCIバス112上のPCIデバイスの優先順位を設定するためのレジ

11

スタである。ビット0及びビット3～7は未使用のリザーブビットであり、ビット1, 2を用いてセカンダリPCIバス上のPCIデバイスのバス権アービトレーションの優先順位を設定する。

【0067】最後に、図8を用いて第二の実施例のPCIバスアービタ151の動作を説明する。

【0068】図10に示す各レジスタで、コントロールレジスタ201に03h、プライマリPCIプライオリティレジスタ203に01h、セカンダリPCIプライオリティレジスタ204に00hを設定し、全てのバス権要求をローテーションで調整し、かつプライマリPCIバス上のデバイスとセカンダリPCIバス上のデバイスへのバス権調停比率を1:1となるように設定した場合について、図8を用いて説明する。

【0069】PCIバスアービタ151が、バスアイドル状態(188)にある時、各PCIデバイスからバス権要求があった場合、コントロールレジスタ201、プライマリPCIプライオリティレジスタ203およびセカンダリPCIプライオリティレジスタ204との設定に従って、アービトレーション動作を行う。

【0070】まず、ホストバス/PCIバスブリッジへバス権を与えるため、Host\_ACK122を出力する(181)。次に、プライマリPCIバス111上のPCIデバイスと、セカンダリPCIバス上のPCIデバイスに交互にバス権を与えるため、それぞれのデバイスに対応するバス使用許可信号を出力してゆく(183, 184, 185, 186, 187, 188)。

【0071】このようにして、全てのPCIデバイスにバス権が与えられると一巡する。なお、第二の実施例に関する他の部分の動作については、第一の実施例と同様であるので、ここでは説明を省略する。

【0072】

【発明の効果】本発明によれば、階層バス構造を有するシステムにおけるバスアービトレーションで、バスブリッジを介して下位側のI/Oバスに装着されたI/Oデバイスにも、上位側I/Oバスに装着された場合と同様に、上位側I/Oバスへのバスアクセス権を与えることができる。

【0073】また、バスアービタで、上位側I/Oバスに装着されたデバイスと下位側I/Oバスに装着されたデバイスとの間で、アービトレーション比率を任意に設定でき、また、各I/Oデバイス間の調停優先順位を設

12

定することができるので、装着されたI/Oデバイスの機能に応じて最適なバスアービトレーション方法を設定することが出来る。

【0074】具体的には、プライマリPCIバスと、PCI/PCIバスブリッジを介したセカンダリPCIバスとを有するシステムで、セカンダリPCIバスに装着したデバイスに対し、プライマリPCIバスに装着されたPCIデバイスと同等のプライマリPCIバスアクセス権を与えることができるので、セカンダリPCIバスに装着したことによる、PCIデバイスの誤動作やシステム性能の低下等を防ぐことができる。

【0075】また、PCIコンフィギュレーション空間から読み出したコンフィギュレーション情報に基づいて、最適なアービトレーション方法を設定することができる。

【図面の簡単な説明】

【図1】本発明の第一の実施例のPCIバスアービタの説明図。

【図2】PCIバスアービタのレジスタ説明図。

【図3】従来のPCIバスアービタの接続図。

【図4】第一の実施例のPCIバスアービタの第一の動作例の説明図。

【図5】本発明の第二の実施例のPCIバスアービタの接続図。

【図6】第一の実施例のPCIバスアービタの第二の動作例の説明図。

【図7】PCIバスアービタの従来の動作例の説明図。

【図8】第二の実施例のPCIバスアービタの動作例の説明図。

【図9】第二の実施例のPCIバスアービタの説明図。

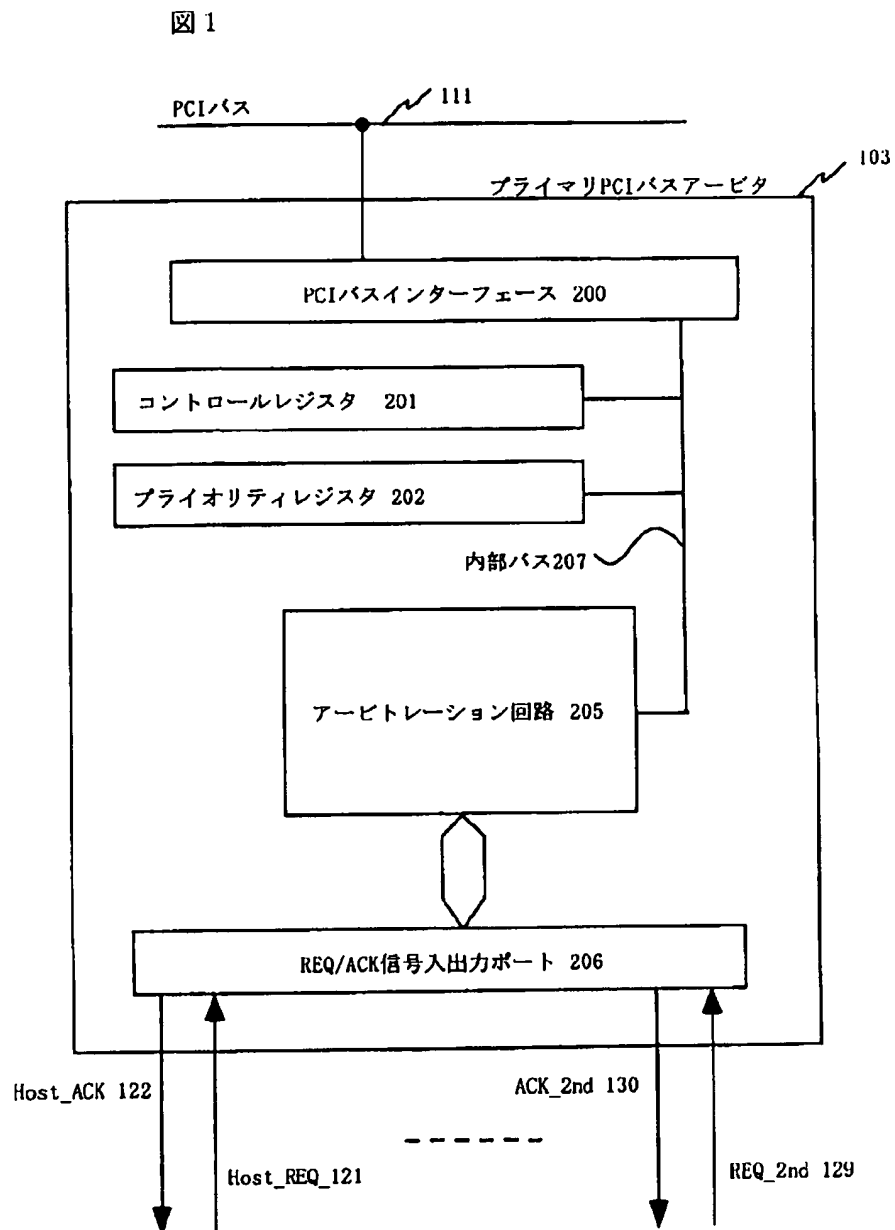
【図10】第二の実施例のPCIバスアービタのレジスタの説明図。

【符号の説明】

103…プライマリPCIバスアービタ、111…プライマリPCIバス、121…バス権要求信号、122…バス使用許可信号、129…バス権要求信号、130…バス使用許可信号、200…PCIバスインターフェース、201…コントロールレジスタ、202…プライオリティレジスタ、205…アービトレーション回路、206…REQ/ACK信号入出力ポート。



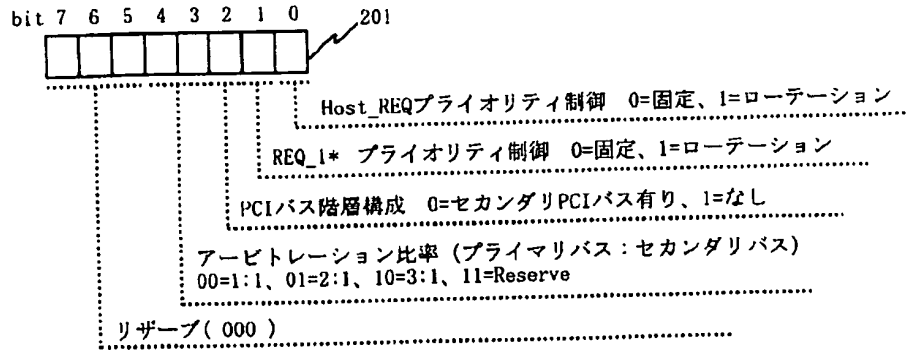
【図1】



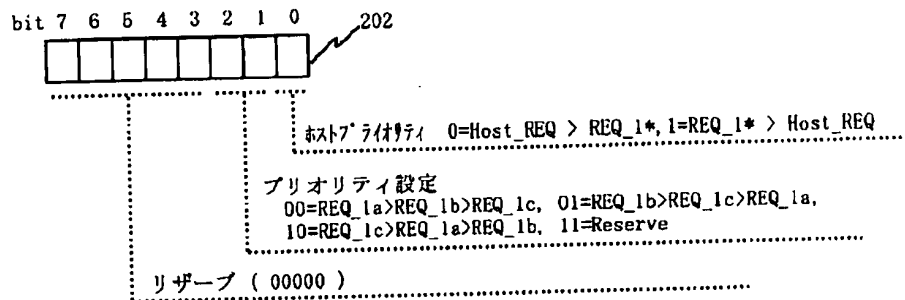
【図2】

図2

## (a) コントロールレジスタ

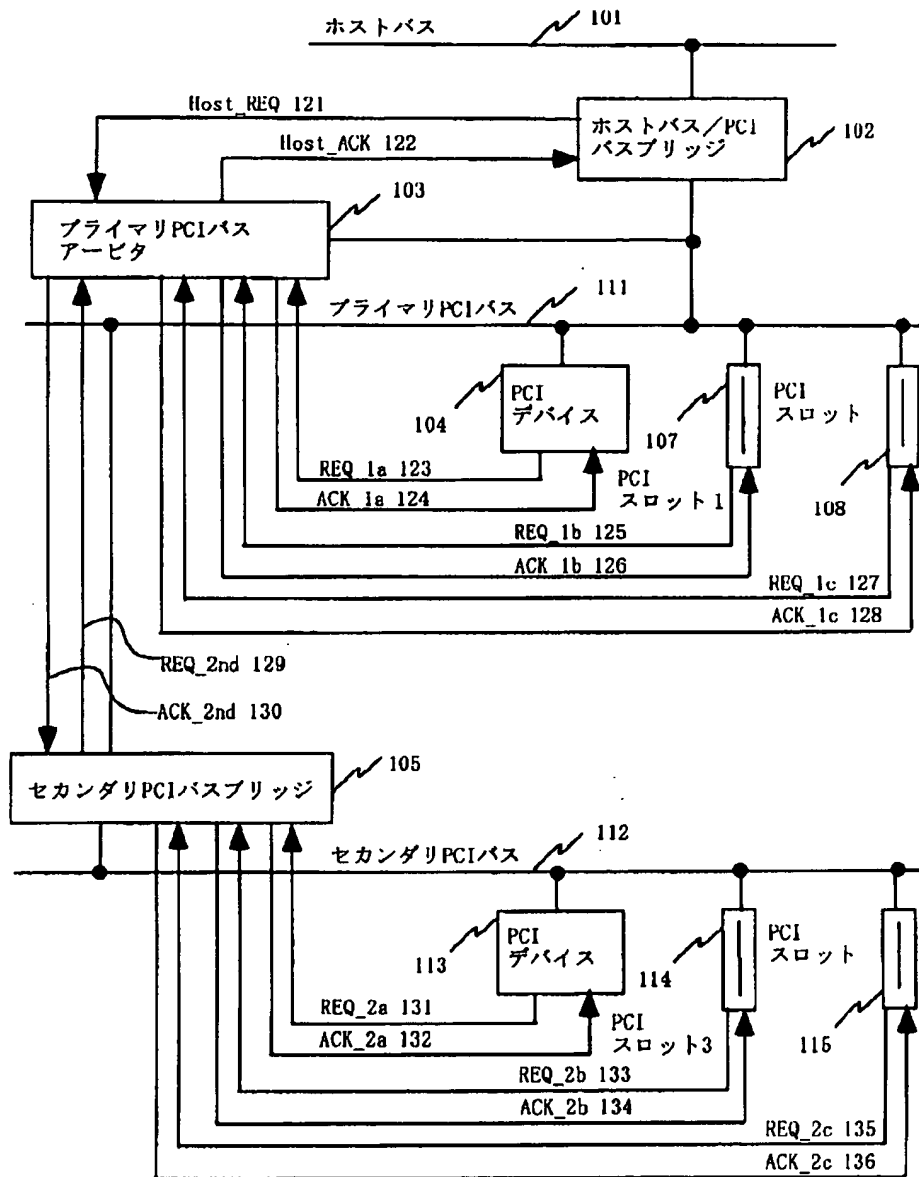


## (b) プライオリティレジスタ



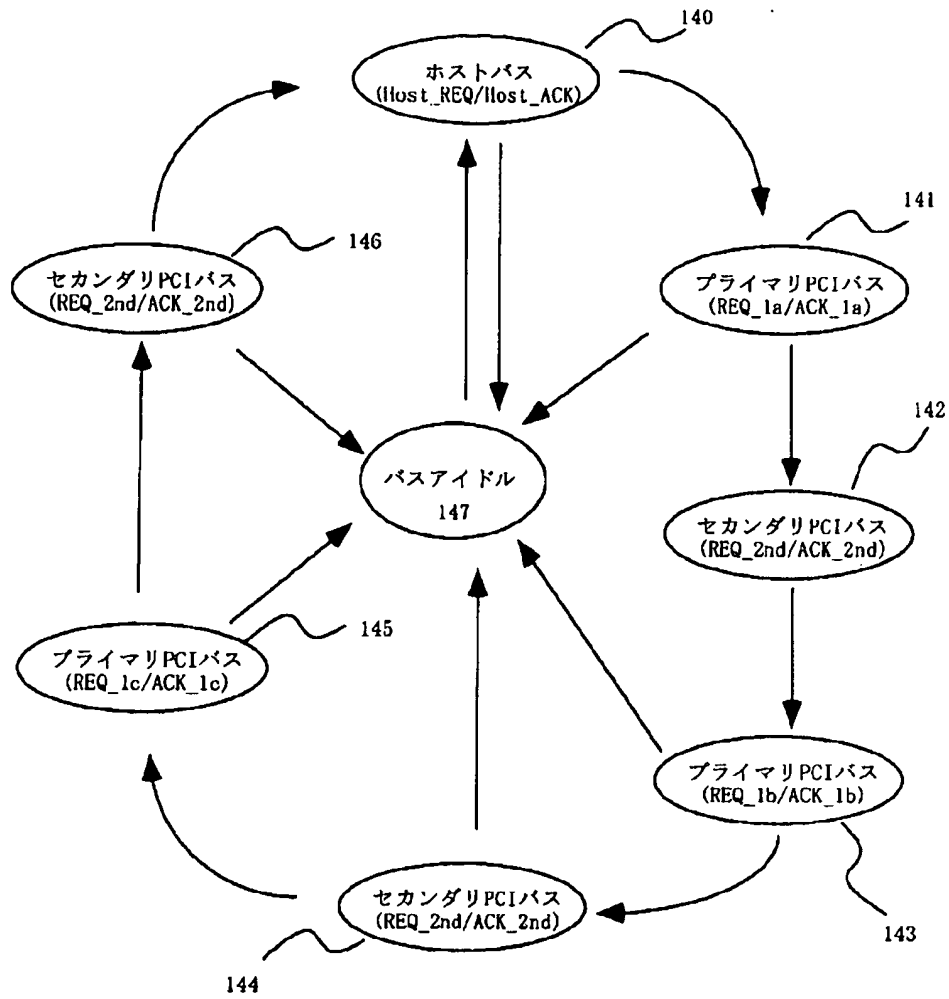
【図3】

図3



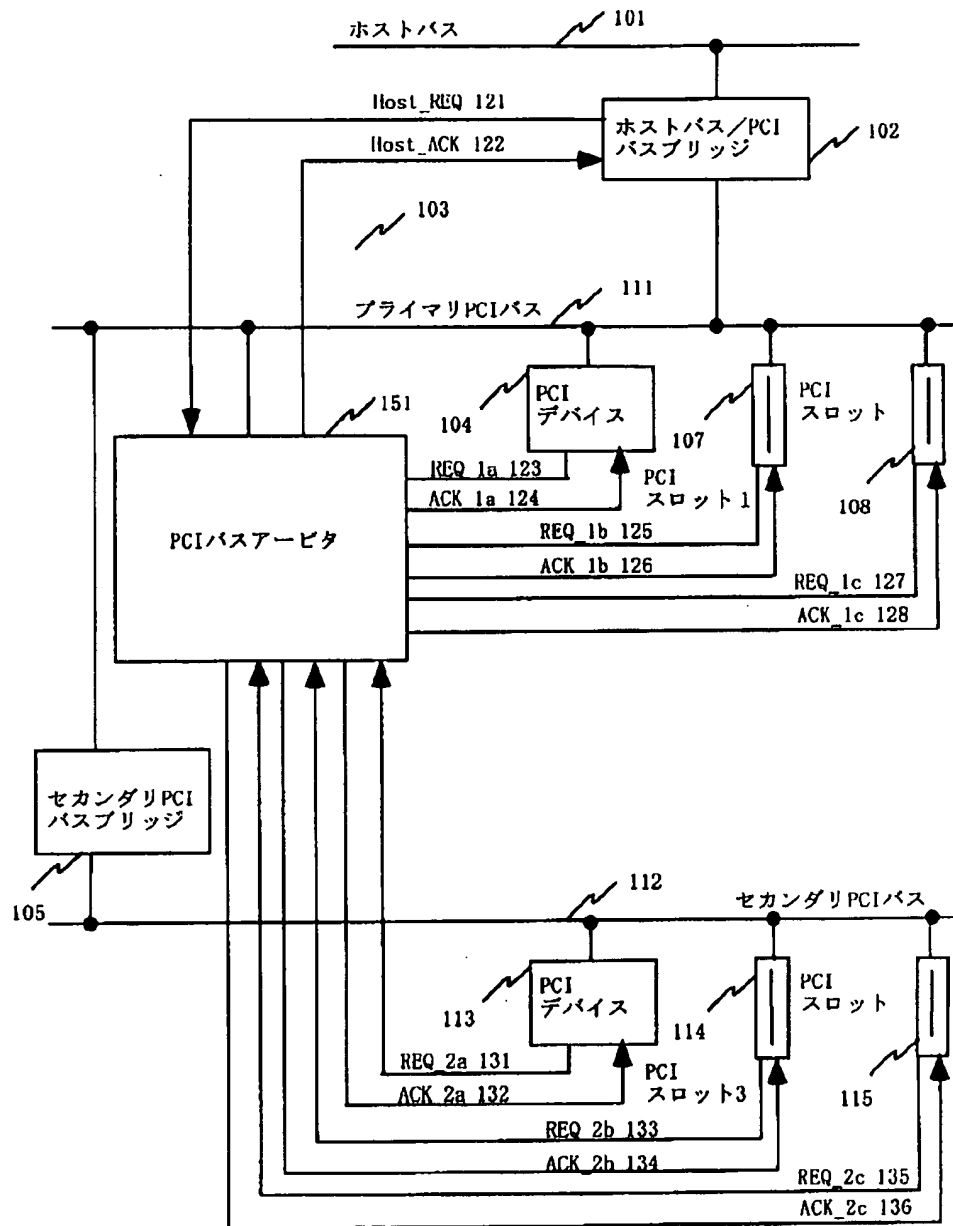
【図4】

図4

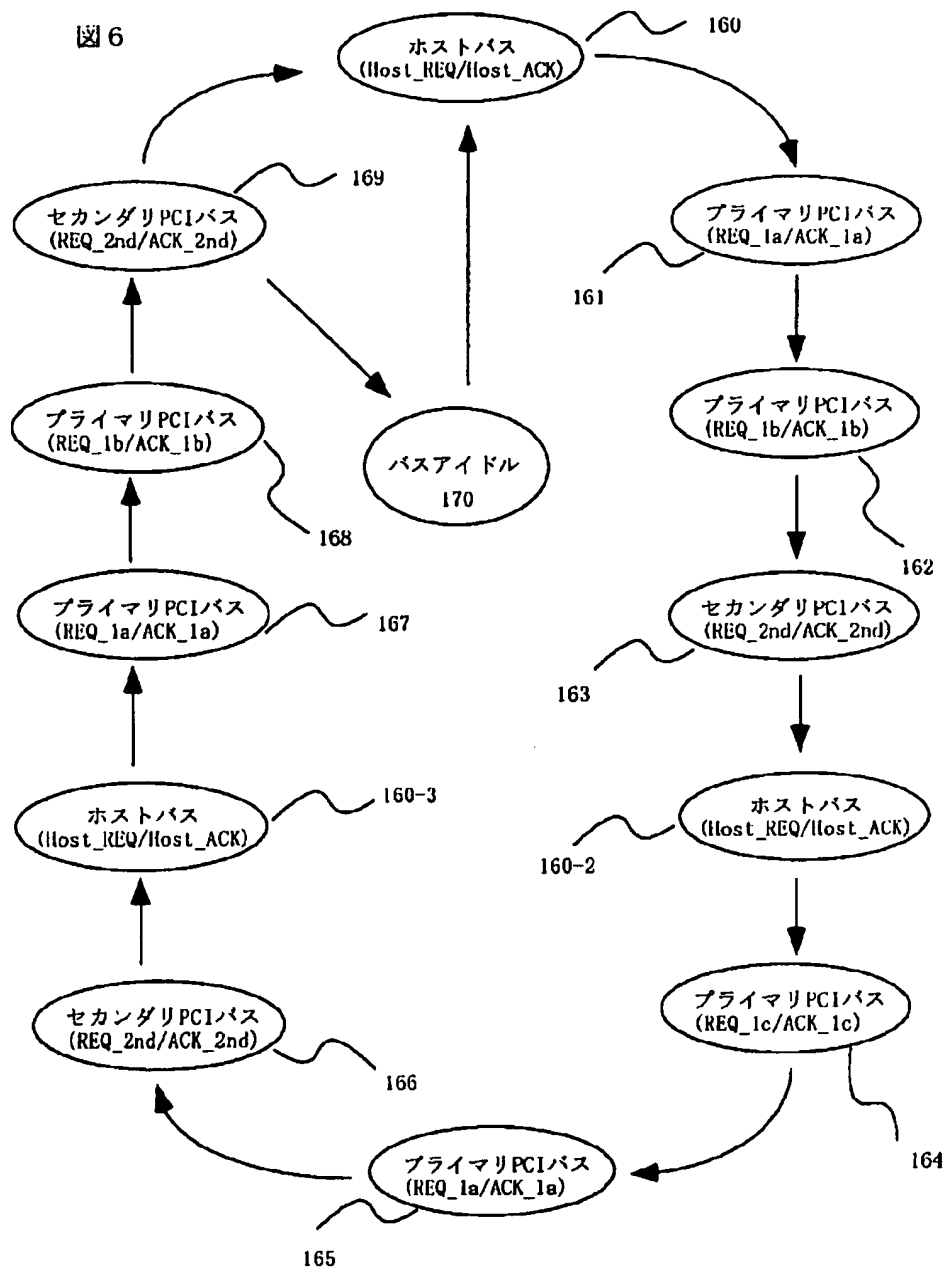


【図5】

図5

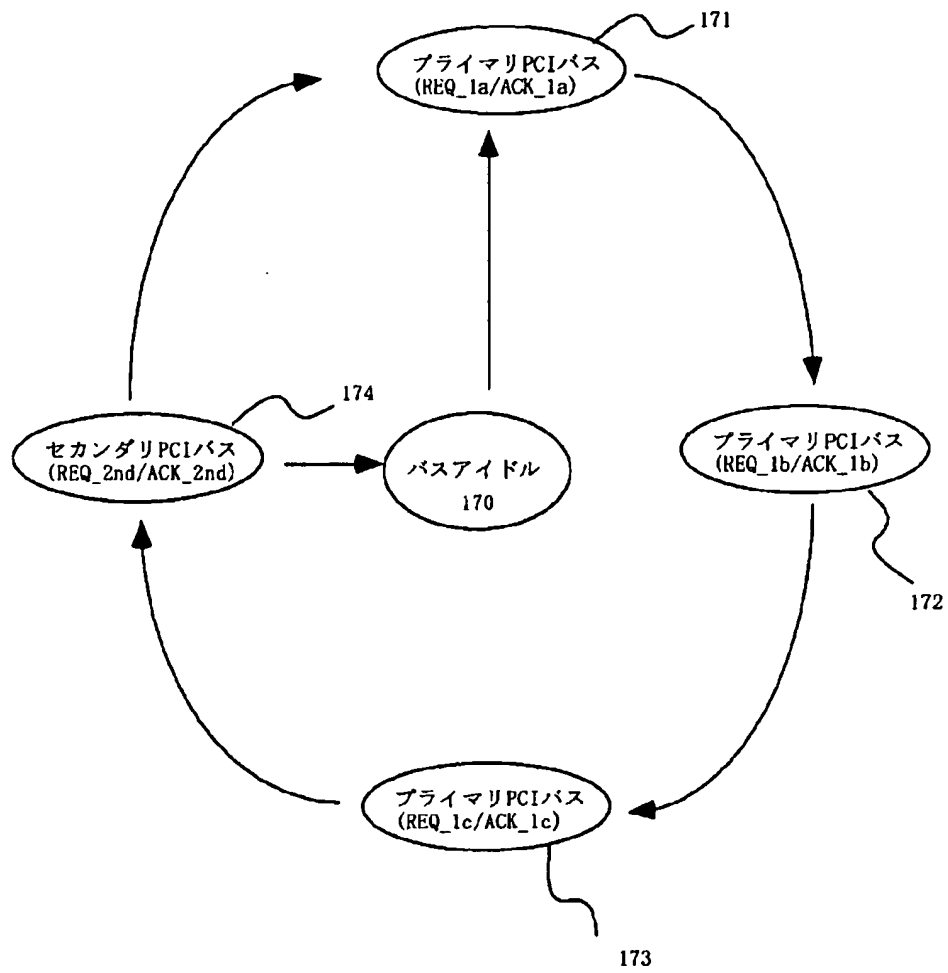


【図6】



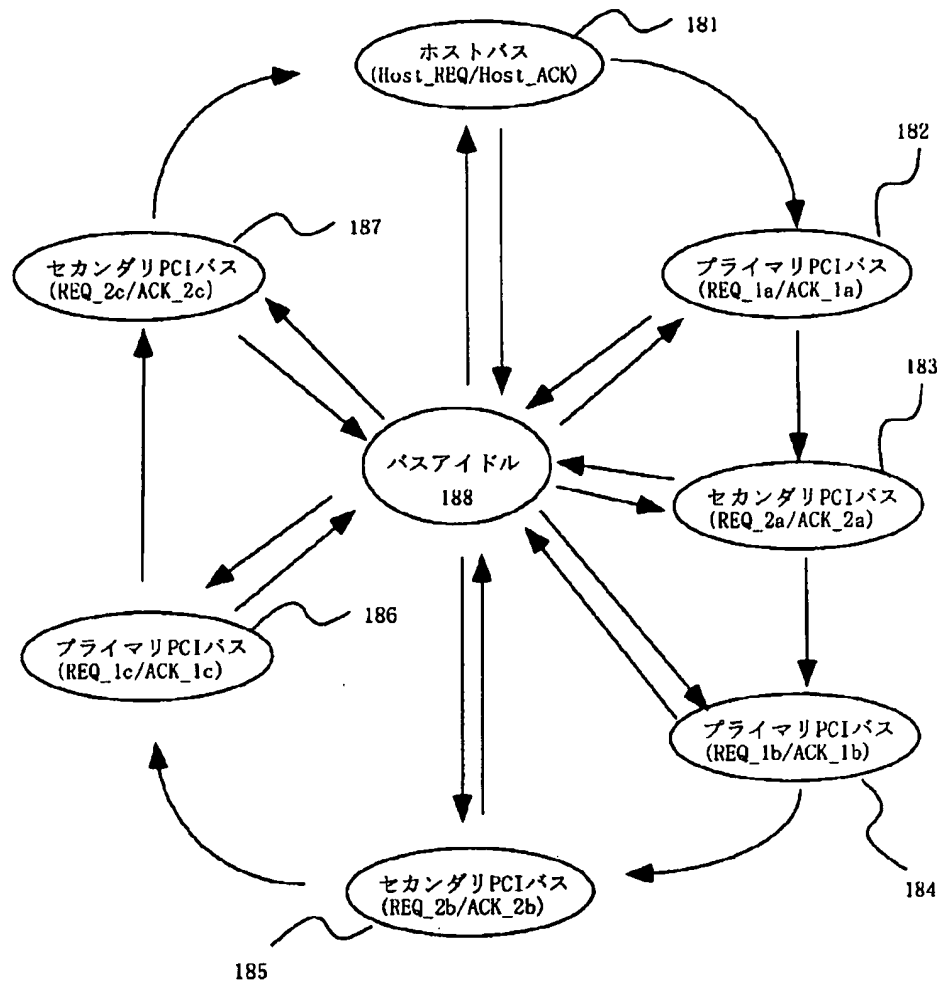
【図7】

図7



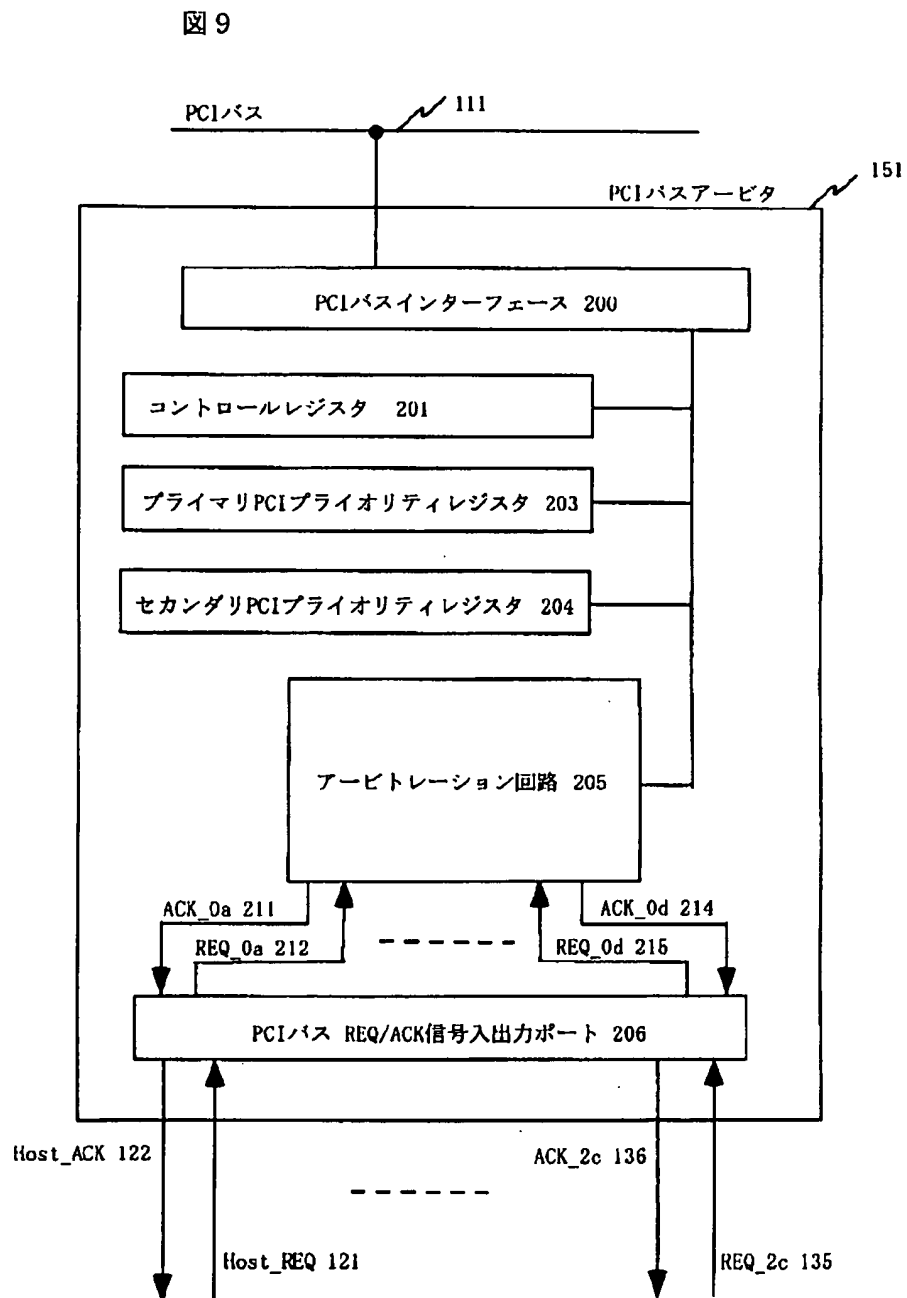
【図8】

図 8





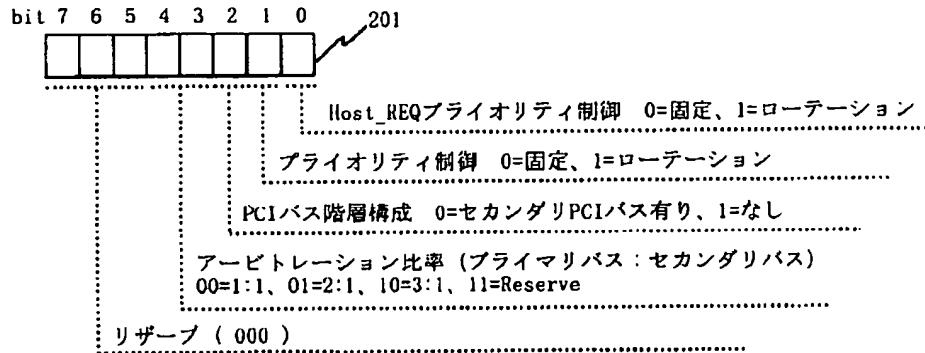
【図9】



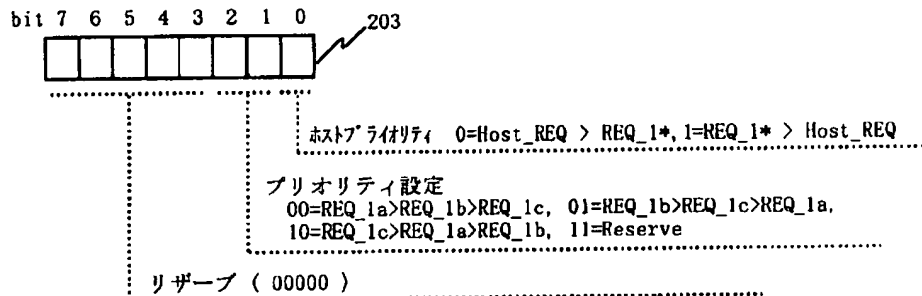
【図10】

図10

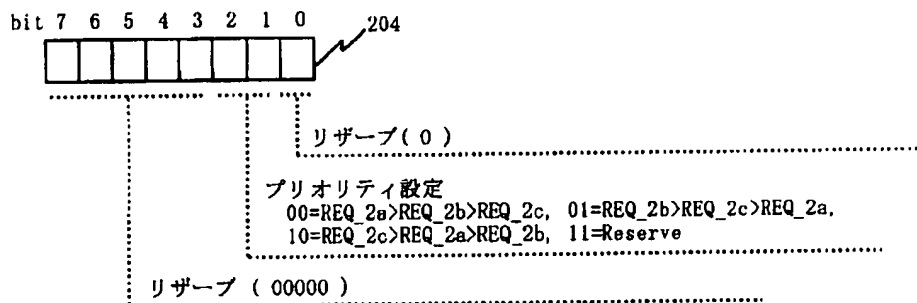
(a) コントロールレジスタ



(b) プライマリPCIプライオリティレジスタ



(c) セカンダリPCIプライオリティレジスタ



\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## CLAIMS

[Claim(s)]

[Claim 1] In a hierarchy bus system which contains a bus bridge which connects a bus to said second bus hierarchical from the first bus, the second bus, and said first bus A royalty demand of said first bus which two or more devices linked to said first bus send out, The ABITO rate of the royalty demand of the first bus which said bridge sends out is carried out. It is the arbiter which performs an ABITO rate of a right of bus access which grants a royalty of said first bus to any one of said two or more devices or said bridges. Said arbiter It has a means to set up Arbitration priority of a royalty demand of said first bus which a device connected to said second bus through said bridge sends out. Said arbiter It is based on information set as a means to set up said Arbitration priority. An Arbitration method of a hierarchy organization bus characterized by the ability to change an algorithm of right Arbitration actuation of a bus which arbitrates a bus royalty demand from two or more devices linked to said first bus, and said bridge.

[Claim 2] An Arbitration method of a hierarchy organization bus of storing information about right Arbitration priority of a bus between at least one device connected to a means to set up said Arbitration priority, into said second bus in claim 1, and at least one device linked to said first bus.

[Claim 3] A means to set up said right Arbitration priority of a bus in claim 1 is the Arbitration method of a hierarchy organization bus of storing information about a ratio of count frequency where a right of a bus is granted to a bus device linked to said first bus, and a bus device linked to said second bus.

[Claim 4] An Arbitration method of a hierarchy organization bus set up with a means to set up said Arbitration priority, in claim 1 based on configuration information of a proper which a device with which said the first bus and second bus were equipped has.

[Claim 5] It is the Arbitration method of a hierarchy organization bus which is a bus where said the first bus and second bus have same physical specification of a bus and logical specification, and bus transfer protocol in claim 1.

[Claim 6] In a hierarchy bus system which contains at least a bus bridge which connects a bus to said second bus hierarchical from the first bus, the second bus, and said first bus A royalty demand of said first bus which two or more devices linked to said first bus send out, The ABITO rate of the royalty demand of the first bus which said bridge sends out is carried out. It is the arbiter which performs an ABITO rate of a right of bus access which grants a royalty of said first bus to any one of said two or more devices or said bridges. Said arbiter It has a means to set up whether a device is connected to said second bus through said bridge. Said arbiter An Arbitration method of a hierarchy organization bus of changing an algorithm of bus royalty Arbitration actuation of said first bus when a device is connected to said second bus based on information set as said setting means.

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the suitable bus arbitration method for small information processors, such as a personal computer and a workstation.

[0002]

[Description of the Prior Art] Generally, the I/O bus of a personal computer is connected to the high-speed I/O bus and the pan hierarchical through the bus bridge to the medium-speed I/O bus and the low-speed I/O bus through the bus bridge from the quick CPU bus, host bus, or system bus of a data transfer rate. However, the method of a configuration of connecting the I/O bus which has the same data transfer rate and bus protocol has appeared in a high-speed I/O bus through a bus bridge in recent years for the escape of the number of slots of a high-speed I/O bus etc. Since the I/O bus by the side of the low order which is connected through a bus bridge in the case of this method has the same bus protocol as a high order side I/O bus, it seems to have extended the high order side I/O bus seemingly.

[0003] Thus, the PCI local bus (it abbreviates to a PCI bus hereafter) with which specification is decided upon and exhibited by PCI Special Interest Group whose thing which can extend the I/O bus which has the same protocol by minding a bus bridge is an American economic organization is known.

[0004] The block diagram of the conventional system which has the PCI bus which connected the primary PCI bus and the secondary PCI bus to drawing 3 through the PCI to PCI bus bridge is shown. Primary PCI bus 111 is connected to the host bus 101 through a host bus / PCI bus bridge 102. It has the Arbitration signal to connect two or more PCI devices to primary PCI bus 111, and for each PCI device acquire the bus royalty of a PCI bus, and has connected with the primary PCI bus arbiter 103, respectively.

[0005] For example, the PCI device 104 outputs REQ\_1a123 which are a request signal, in order to acquire the bus royalty (it abbreviates to the right of a bus below) of primary PCI bus 111. After the primary PCI bus arbiter 103 performs the ABITO rate of the right demand signal of a bus sent out from each PCI device, it is outputting ACK\_1a124 which are a bus licence signal, and permits use of primary PCI bus 111 to the PCI device 104. In order that other PCI devices may perform the handshake of a request signal / bus licence signal similarly, in a PCI bus, the arbiter which a signal required for a handshake is defined and carries out the Arbitration of the right of a bus for every device and every slot exists for every PCI bus.

[0006] In drawing 3, the PCI slot 107 and the PCI slot 108 have connected REQ\_1b125, ACK\_1b126 and REQ\_1c127, and ACK\_1c128 between the primary PCI bus arbiters 103 as a signal of the right Arbitration handshake of a bus, respectively. Furthermore, the signal for requiring the right of a bus of primary PCI bus 111 from the host bus 101 side, Host\_REQ121, and Host\_ACK122 are connected to the host bus / PCI bus bridge 102. Here, secondary PCI bus 112 is connected to primary PCI bus 111 through the secondary PCI bus bridge 105. The secondary PCI bus bridge 105 has the function which buffers the bus signal of primary PCI bus 111 electrically, and buffers the same bus protocol as primary PCI bus 111. the case where the right demand signal of a bus of each PCI device on secondary PCI bus

112 is inputted into the secondary PCI bus bridge 105, the secondary PCI bus bridge 105 performs the right ABITO rate of a bus within a secondary PCI bus, and the right of a bus of primary PCI bus 111 is required further -- the right of a bus -- it is with request signal REQ\_2nd129 and ACK\_2nd130 which is a bus licence signal, and the handshake of the primary PCI bus arbiter 103 and the right Arbitration of a bus is performed.

[0007] Next, the conventional example of the primary PCI bus arbiter 103 of operation shown in drawing 7 at drawing 3 is shown. When the master which uses a PCI bus is not, the PCI bus arbiter 103 is in the bus idle condition 170, and when each PCI device requires the right of a bus of coincidence here, in order that the primary PCI bus arbiter 103 may grant the right of a bus to the device on a primary PCI bus, 1ACK\_1a of a bus licence signal is outputted (171). Furthermore, if the right of a bus is granted in order to the device on a primary PCI bus (172,173,174) and the right of a bus spreads round all PCI devices including the secondary PCI bus bridge 105, a PCI bus arbiter will take a round and will grant the right of a bus to a primary PCI device again.

[0008] Thus, when 111 \*\*\*\*s of the secondary PCI bus bridges 105 are made into the primary PCI bus, the primary PCI bus arbiter 103 considers that this is one of the PCI devices on primary PCI bus 111, and performs a bus ABITO rate.

[0009] Moreover, all PCI devices have the I/O field for describing information, such as the attribute of a device, called PCI configuration space, it is acquiring the information indicated in this PCI configuration space, and it is possible to acquire the fixed information about that device.

[0010] The protocol, electric specification, the concrete bus arbitration method of the described PCI bus, etc. are indicated by "PCI SYSTEM ARCHITECTURE THIRD EDITION" (February, 1995 issue) of the U.S. ADDISON-WESLEY PUBLISHING COMPANY issue. The written page about each technology is shown below.

[0011] - Specification of a PCI bus From 39 pages to 76 pages.

[0012] - PCI Arbitration of a bus From 77 pages to 112 pages.

[0013] - Configuration space of a PCI bus From 327 pages to 356 \*-JI.

[0014] - PCI to PCI Configuration of a bridge From 375 pages to 452 pages.

[0015] The more detailed specification about a PCI bus is indicated by "PCI Local Bus Specification Revision2.0" (April 30, 1993 issue) published from U.S. PCI Special Interest Group.

[0016]

[Problem(s) to be Solved by the Invention] There was a trouble which is described below with the conventional technology.

[0017] Namely, in the conventional example shown in drawing 3, as for the right demand signal of a bus of each PCI device connected to secondary PCI bus 112, the secondary PCI bus bridge 105 once performs the right ABITO rate of a bus within secondary PCI bus 112. consequently -- the case where the device which acquired the right of a bus of secondary PCI bus 112 requires the bus royalty of primary PCI bus 111 further -- the secondary PCI bus bridge 105 -- the right of a bus -- demand signal REQ\_2nd129 -- the primary PCI bus arbiter 103 -- outputting -- the primary PCI bus arbiter 103 -- the right of a bus -- it is necessary to wait to output licence signal ACK\_2nd130 and to grant a bus royalty [0018] Here, when the primary PCI bus arbiter 103 performs an ABITO rate equally to the device which requires the right of a bus of primary PCI bus 111, the opportunity for the PCI device on the secondary CI bus 112 to acquire the right of a bus of primary PCI bus 111 compared with the PCI device on primary PCI bus 111 becomes remarkably low.

[0019] For example, there are three PCI devices on primary PCI bus 111, there are three PCI devices also on secondary PCI bus 112 further, and the case where each device outputs the access request to a host bus / PCI bus bridge is assumed. The PCI device on a secondary PCI bus requires the right of a bus of the primary PCI bus arbiter 103 through the secondary PCI bus bridge 105 from the right demand signal of a bus having inputted the PCI device on primary PCI bus 111 into the direct primary PCI bus arbiter 103. For this reason, when three PCI devices on primary PCI bus 111 acquire the right of a bus by a unit of 1 time, the secondary PCI bus bridge 105 can also acquire the right of a bus once. Therefore, while the PCI device on primary PCI bus 111 acquires the right of a bus 3 times, since the right

Arbitration of a bus within secondary PCI bus 112 is still more nearly required, as for the PCI device on secondary PCI bus 112, the right of a bus can be acquired only once.

[0020] Thus, since an opportunity to acquire the access privilege to primary PCI bus 111 is remarkable and the PCI device connected through the secondary PCI bus bridge on secondary PCI bus 112 by the side of low order has it, the case where it becomes impossible to perform normal actuation depending on the class of PCI device generates it. [ low ]

[0021] For example, when two or more PCI devices containing a LAN card are connected to a secondary PCI bus and other PCI devices are further carried in primary PCI bus 111, the following problems occur. Since the probability for the LAN card on secondary PCI bus 112 to acquire the right of a bus is low, the time interval during the actuation which takes the right of a bus and performs data transfer increases also several times compared with the case where it equips with the same LAN card on primary PCI bus 111. For this reason, when only magnitude sufficient on a card does not have a buffer for this LAN card to keep commo data temporarily, the contents of the buffer may overflow between the latency times until it acquires a bus royalty, and fault -- commo data is lost -- may occur.

[0022] Thus, when the device which requires the royalty of the I/O bus by the side of a high order is mounted in the I/O bus extended to the low order side through the bus bridge, there is a problem that an opportunity to acquire the right of a bus by the side of a high order becomes remarkably low compared with the device with which the high order side bus was equipped.

[0023] The purpose of this invention is the I/O bus system which has the layered structure extended through the bus bridge, and is to offer the Arbitration method by which it has been improved for granting the royalty of the high order side I/O bus of the device with which the high order side I/O bus was equipped, and an EQC also to the device on the I/O bus extended to the low order side.

[0024] Other purposes of this invention are the systems which constitute plurality for a PCI bus hierarchical through a bridge, and are to offer the Arbitration method that the bus royalty of a low order side and a high order side I/O bus can be granted to the timing suitable for each device, according to the function of the PCI device connected to the high order PCI bus and the low order PCI bus.

[0025] The purpose of further others of this invention is the system which has the primary \*\*\*\* secondary PCI bus connected through the bus bridge, and is to the PCI device on a secondary PCI bus to offer the PCI bus arbitration method and the Arbitration means which the optimal bus ABITO rate can be performed.

[0026]

[Means for Solving the Problem] This invention established a means for setting an initial entry of a low order side bus, and information about priority in an Arbitration as an Arbitration means to perform a right ABITO rate of a bus of a high order side bus, in order to attain the purpose. Furthermore, when an Arbitration means performed an ABITO rate of a high order side bus, based on information on existence of connection of a low order side bus, and setting information about Arbitration ranking of a device connected to a low order side bus, it was made to perform an ABITO rate of a right of a bus.

[0027] It is the system which specifically has a primary PCI bus and a secondary PCI bus connected through a PCI bus bridge, and a register for setting up a priority in an Arbitration of existence of connection of a secondary PCI bus and a device on a secondary PCI bus was prepared in the interior of an arbiter which performs an ABITO rate of a primary PCI bus. Moreover, when an Arbitration circuit inside an arbiter of a primary PCI bus performed an ABITO rate of a right of a bus, it changed a ratio which grants a right of a bus to a device on a primary PCI bus, and a device on a secondary PCI bus with reference to the set point of a register for setting up a priority.

[0028] Furthermore, a register for setting up a priority of an Arbitration which prepared configuration information indicated in PCI configuration space which a PCI device has in an arbiter of a readout and a PCI bus was set up.

[0029]

[Embodiment of the Invention] Explanatory drawing of the PCI bus arbiter in the first example of this invention is shown in drawing 1.

[0030] By drawing 1, the primary PCI bus arbiter 103 has connected with primary PCI bus 111 with the

PCI bus interface 200. Moreover, it connects mutually through the internal bus 207, and a control register 201, the internal priority register 202, and the internal Arbitration circuit 205 are set up from PCI bus 111 through the PCI bus interface 200, when setting a value as two registers. About the specification which carries out the map of the register to the I/O field of a PCI bus, since it is indicated by PCI bus specification "PCI LocalBus Specification Revision2.0" (PCI Special Interest Group \*\* April 30, 1993 issue) etc., it omits here.

[0031] REQ/ACK signal input/output port 206 for the Arbitration circuit 205 to output and input the right handshaking signal of a bus from a PCI bus -- minding -- the right of a bus from the secondary PCI bus by the side of right demand signal Host\_REQ121 of a bus from a host bus bridge, bus specification enabling-signal Host\_ACK122, and low order -- the signal of demand signal REQ\_2nd129 and bus licence signal ACK\_2nd130 grade is outputted and inputted. Moreover, about connection between the primary PCI arbiter 103 and the device on a primary PCI bus and a secondary PCI bus, since it is the same as that of the connection diagram of a PCI arbiter shown in drawing 3 explained in the conventional example, explanation is omitted here.

[0032] By drawing 1, from the PCI device on primary PCI bus 111 in drawing 3, or secondary PCI bus 112, the Arbitration circuit 205 performs an ABITO rate with reference to the contents of a control register 201 and the priority register 202 according to the Arbitration priority set as two registers, when there is a right demand of a bus of PCI bus 111 through REQ/ACK signal input/output port 206.

[0033] The details of two registers inside the primary PCI arbiter 103 are further shown in drawing 2.

[0034] The bit pattern of a control register 201 is shown in drawing 2 (a).

[0035] - Bit 0:Host\_REQ priority control (0= immobilization, 1= rotation)

This bit is a bit which controls the priority of the signal for requiring the right of a bus of a primary PCI bus from the host bus 101 side in drawing 3, and can set up a fixed priority and rotation.

[0036] When it is set as a fixed priority, the priority set as the priority register 202 is absolutely set up as priority, and an ABITO rate is performed. On the other hand, when it is set as rotation, based on a priority setup of each right demand signal of a bus similarly set as the priority register 202, rotation sequence is determined and an ABITO rate is performed.

[0037] - Bit 1:REQ\_1\* priority control (0= immobilization, 1= rotation)

This bit is a bit which determines the Arbitration priority (a fixed priority / rotation) to the right handshaking signal of a bus from each PCI device on primary PCI bus 111 collectively. Since it is the same as a bit 0, other portions are omitted.

[0038] - Bit 2 :P CI bus hierarchy organization (those with a 0= secondary PCI bus, 1 = nothing)

This bit sets up information, such as nullification of secondary PCI bus 112 by the existence of secondary PCI bus 112, or the disable of the secondary PCI bus bridge 105. When this bit is set to 2, the information on the Arbitration ratio set up in a bit 3 serves as an invalid.

[0039] - Bits 3 and 4 : Arbitration ratio (primary bus: secondary bus)

This bit sets up the ratio which grants the right of a bus of a primary PCI bus to the PCI device on primary PCI bus 111, and the PCI device on secondary PCI bus 112, in case the Arbitration circuit 205 arbitrates the bus demand from each PCI device. According to the set point of this bit, the Arbitration circuit 205 performs an ABITO rate so that the opportunity of the right acquisition of a bus may be moderately given to the PCI device on secondary PCI bus 112.

[0040] - Bits 5, 6, and 7 are intact reserve bits.

[0041] Next, the bit pattern of (b) priority register 202 is explained.

[0042] - Bit 0 : host priority (0=Host\_REQ > REQ\_1\* and 1=REQ\_1\* > Host\_REQ)

This bit sets up the mediation priority foreword between the right demand of a bus from the host bus 101 side, and the PCI device on a primary PCI bus. A setup of this bit is combination with the bits 0 and 1 of a control register 201, and determines the Arbitration method of the Arbitration circuit 205.

[0043] - Bits 1 and 2 : a priority setting book register is a bit which determines the mediation priority between the device on primary PCI bus 111 in drawing 3, the PCI device 104, the PCI slot 107, and the PCI slot 108.

[0044] The set point of this bit also determines the Arbitration method of the Arbitration circuit 205 in

combination with the set point of the bits 0 and 1 of a control register 201.

[0045] - Bits 3, 4, 5, 6, and 7 : it is an intact reserve bit.

[0046] When increasing the number of connection of a PCI device, this reserve bit is used for it and it enables it to set up the mediation priority of the PCI device except two bus bridges, although the device on a primary PCI bus explained the example of three devices except for the host bus / PCI bus bridge 102, and the secondary PCI bus bridge 105.

[0047] Then, the first example of the PCI bus arbiter of the first example of operation is explained using drawing 4 . If 03h is set as the control register 201 shown in drawing 2 and 00h is set as the priority register 202, all the right demand signals of a bus will be arbitrated by rotation (Host\_REQ > REQ\_1a > REQ\_1b > REQ\_1c), and the Arbitration circuit 205 will operate so that the right of a bus may be further granted to the PCI device on primary PCI bus 111, and the device on secondary PCI bus 112 by the ratio of 1:1.

[0048] That is, when the Arbitration circuit 205 is in a bus idle condition (147) in drawing 4 , the case where all the right demand signals of a bus in drawing 3 are outputted is explained. The Arbitration circuit 205 grants the right of a bus to a host bus / PCI bus bridge 102 first based on the set point of a control register 201 and the priority register 202 (140). Then, ACK\_1a is outputted in order to grant the right of a bus to the device on primary PCI bus 111 (141). Furthermore, in order to grant the right of a bus to the device on secondary PCI bus 112, after ACK\_1a carries out an output halt, an ACK\_2nd signal is outputted. Thus, if the right of a bus is granted to all PCI devices, granting the right of a bus by turns to the device on a primary PCI bus, and the PCI device on a secondary PCI bus (143,144,145,146), a round will be taken and the right of a bus will be again granted to a host bus / PCI bus bridge.

[0049] About the timing of an output halt of the bus licence signal to the device which grants the right of a bus next from the device which is using current and a bus, and an output, the Arbitration circuit 205 may carry out to the timing of arbitration using a timer etc., and when the device which is using the current bus suspends the output of the right demand signal of a bus, you may switch.

[0050] Thus, a primary bus royalty can be granted by the same frequency as the PCI device on a primary PCI bus also to the PCI device with which the low order side of a secondary PCI bus bridge was equipped by giving bus licence by turns to a secondary PCI bus and primary PCI bus side. Under the present circumstances, similarly in secondary PCI bus 112, the secondary PCI bus bridge 105 should just grant the right of a bus by rotation to the device on secondary PCI bus 112.

[0051] Then, other examples of the PCI bus arbiter of the first example of operation are shown in drawing 6 .

[0052] The bits 3 and 4 of a control register 201 are changed and set to 01 by two register setup of the PCI bus arbiter explained using drawing 4 , and the case where the mediation ratio of the right of a bus is set up to two PCI devices on a primary PCI bus so that it may become one PCI device on a secondary PCI bus is explained.

[0053] By drawing 6 , when the primary PCI bus arbiter 103 is in a bus idle condition (170), the case where the right demand of a bus occurs from all PCI devices is explained. The primary PCI bus arbiter 103 outputs a Host\_ACK signal in order to grant the right of a bus to a host bus / PCI bus bridge first according to a setup of a control register 201 and the priority register 202 (161). Then, after granting the right of a bus twice succeeding the device on primary PCI bus 111 (161,162), in order to grant the right of a bus to the PCI device on secondary PCI bus 112, an ACK\_2nd signal is outputted (163).

[0054] Then, granting the right of a bus to a host bus / PCI bus bridge in between at a rate of one device (166,169) on a secondary PCI bus to two devices on a primary PCI bus (164,165 and 167,168), a round is taken and it returns to the right (161) of a bus to bus idle (170), or a host bus / PCI bus bridge.

[0055] The Arbitration of the right of a bus is carried out at a rate of one device on a secondary PCI bus to two devices on a primary PCI bus. By the way, according to the function of the PCI device with which primary one / secondary PCI bus was equipped, it becomes possible to offer the optimal Arbitration method by acquiring the configuration information on the PCI configuration space which the PCI device has, and setting up a control register 201 and the priority register 202 based on the information.



[0056] For example, when it equips with two or more PCI-LAN cards on a primary PCI bus and equips with a PCI-SCSI card on a secondary PCI bus, since the one where the latency time to the right acquisition of a bus is [ the LAN card ] shorter is desirable, generally, it is setting up a control register 201 and the priority register 202 so that the right of a bus may be granted with the priority to the PCI device on a primary PCI bus, and it is possible to offer the optimal PCI bus arbitration method for a system configuration.

[0057] BIOS which is supporting the PCI bus may perform read-out of the device information from such PCI configuration space, and the user of a system may perform it to the timing of arbitration using a tool program.

[0058] As mentioned above, although explanation in drawing is omitted about actuation although the Arbitration method of the first example was explained using drawing, in case the maximum individual mounting of the PCI device is not carried out at a primary PCI bus and each secondary PCI bus, the right demand signal of a bus with which it is not equipped with the PCI device is never outputted. Therefore, by the primary PCI bus and the secondary PCI bus, when not equipped with the PCI device, in the Arbitration actuation shown in drawing 4 and drawing 6 , the corresponding Arbitration is skipped and the right of a bus is passed to the following PCI device.

[0059] Moreover, all having explained above are about the case where the right ABITO rate of a bus is performed by the rotation method. When it is set as fixed priority, the PCI device which always has the demand ranking of a high order can acquire the right of a bus preferentially absolutely by making into ranking priority set as the priority register.

[0060] Next, the connection diagram of the PCI bus arbiter of the second example of this invention is shown in drawing 5 .

[0061] The PCI arbiter 151 common to primary PCI bus 111 and secondary PCI bus 112 is formed, the right demand of a bus from all PCI devices is put in block, and it was made to arbitrate in the second example shown in drawing 5 .

[0062] The register configuration of the PCI bus arbiter 151 of the second example is shown in drawing 9 and drawing 10 .

[0063] As shown in drawing 9 , the PCI bus arbiter 151 divided the priority register into the primary bus and the secondary bus compared with the first example shown in drawing 1 , and formed the primary PCI priority register 203 and the secondary PCI priority register 204, respectively.

[0064] The bit pattern of each register is explained to drawing 10 .

[0065] Since the (a) control register of drawing 10 and a (b) primary PCI priority register have the same bit pattern as a control register 201 and the priority register 202 in the first example, respectively, they omit explanation here.

[0066] (c) secondary priority register of drawing 10 is a register for setting up the priority of the PCI device on secondary PCI bus 112 of the second example shown in drawing 5 . A bit 0 and bits 3-7 are intact reserve bits, and set up the priority of the right Arbitration of a bus of the PCI device on a secondary PCI bus using bits 1 and 2.

[0067] Finally, drawing 8 is used and actuation of the PCI bus arbiter 151 of the second example is explained.

[0068] Each register shown in drawing 10 explains the case where it sets up so that 00h may be set as 03h and the primary PCI priority register 203 at a control register 201 at 01h and the secondary PCI priority register 204, and all right demands of a bus may be adjusted by rotation and the right mediation ratio of a bus to the device on a primary PCI bus and the device on a secondary PCI bus may be set to 1:1, using drawing 8 .

[0069] When the PCI bus arbiter 151 is in a bus idle condition (188) and there is a right demand of a bus from each PCI device, Arbitration actuation is performed according to a setup with a control register 201, the primary PCI priority register 203, and the secondary PCI priority register 204.

[0070] First, Host\_ACK122 is outputted in order to grant the right of a bus to a host bus / PCI bus bridge (181). Next, in order to grant the right of a bus by turns to the PCI device on primary PCI bus 111, and the PCI device on a secondary PCI bus, the bus licence signal corresponding to each device is

outputted (183, 184, 185, 186, 187, 188).

[0071] Thus, a round will be taken if the right of a bus is granted to all PCI devices. In addition, since it is the same as that of the first example about actuation of other portions about the second example, explanation is omitted here.

[0072]

[Effect of the Invention] According to this invention, the right of bus access to a high order side I/O bus can be granted like the case where the I/O device with which the I/O bus by the side of low order was equipped through the bus bridge by the bus arbitration in the system which has a hierarchy bus structure is also equipped at a high order side I/O bus.

[0073] Moreover, since an Arbitration ratio can be set as arbitration and the mediation priority between each I/O device can be set up by the bus arbiter between the device with which the high order side I/O bus was equipped, and the device with which the low order side I/O bus was equipped, the optimal bus arbitration method can be set up according to the function of the I/O device with which it was equipped.

[0074] Since the right of primary PCI bus access equivalent to the PCI device with which the primary PCI bus was equipped can be granted to the device with which is the system which specifically has a primary PCI bus and a secondary PCI bus through a PCI/PCI bus bridge, and the secondary PCI bus was equipped, malfunction of a PCI device, a fall of system performance, etc. by having equipped the secondary PCI bus can be prevented.

[0075] Moreover, the optimal Arbitration method can be set up based on the configuration information read from PCI configuration space.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] Explanatory drawing of the PCI bus arbiter of the first example of this invention.

[Drawing 2] Register explanatory drawing of a PCI bus arbiter.

[Drawing 3] The connection diagram of the conventional PCI bus arbiter.

[Drawing 4] Explanatory drawing of the first example of the PCI bus arbiter of the first example of operation.

[Drawing 5] The connection diagram of the PCI bus arbiter of the second example of this invention.

[Drawing 6] Explanatory drawing of the second example of the PCI bus arbiter of the first example of operation.

[Drawing 7] Explanatory drawing of the conventional example of a PCI bus arbiter of operation.

[Drawing 8] Explanatory drawing of the example of the PCI bus arbiter of the second example of operation.

[Drawing 9] Explanatory drawing of the PCI bus arbiter of the second example.

[Drawing 10] Explanatory drawing of the register of the PCI bus arbiter of the second example.

[Description of Notations]

103 [ -- A bus licence signal, 129 / -- The right demand signal of a bus 130 / -- A bus licence signal, 200 / -- A PCI bus interface, 201 / -- A control register, 202 / -- A priority register, 205 / -- An Arbitration circuit, 206 / -- REQ/ACK signal input/output port. ] -- A primary PCI bus arbiter, 111 -- A primary PCI bus, 121 -- The right demand signal of a bus, 122

---

[Translation done.]